

Japanese translation of OA

発送番号 : 9-5-2002-030814554

発送日付 : 2002. 08. 28

提出期限 : 2002. 10. 28

特許庁
意見提出通知書

出願人 名称 三菱電機株式会社（出願人コード : 519980960919）

住所 日本東京都千代田区丸の内2丁目2-3

代理人 氏名 李 華 翼

住所 ソウル特別市江南区駅三洞648-23（麗三ビル4階）

出願番号 10-2000-0064799

発明の名称 半導体装置

この出願に対する審査結果、下記のような拒絶理由があつて、特許法第63条の規定によりこれを通知しますので、意見があつたり補正が必要であつたりする場合には、上記期限まで意見書・補正書を提出してくださるようお願い申し上げます。

[理由]

この出願の特許請求の範囲の全項に記載された発明は、その出願前にこの発明の属する技術分野における通常の知識を有する者が下記に指摘したことにより容易に発明することができるものであるから、特許法第29条第2項の規定に基づき特許を受けることができません。

[記]

本願発明は、絶縁回路基板と半導体素子の接着層に用いる樹脂のサイズが、半導体素子とほぼ同一サイズで構成されており、構成部材の熱膨張差等による応力がかかるため実装信頼性が低下するという従来技術の問題点を改善するために、接着層の樹脂

サイズを半導体素子の正面より広く形成して半導体素子を基板に接合することを主な特徴としているが、このようなことは、公開特許公報第98-54344号で、半導体チップをパッケージ本体に接着時、半導体チップの正面より広い接着層をパッケージ本体に形成し、その上に半導体チップを接着した構成のように、既に公知された技術であるため、本願発明は明細書に記載された従来の技術と引用参証により容易に発明することができるものであります。 以上

[添付]

添付1 韓国公開特許公報第1998-54344号 (1998. 09. 25) 1部

2002. 08. 28

特許庁 審査4局
審査担当官室 審査官

KR 08/09 A.U. 01

출력 일자: 2002/8/29

발송번호: 9-5-2002-030814554
발송일자: 2002.08.28
제출기일: 2002.10.28

수신: 서울 강남구 역삼1동 648-23 대흥빌딩
402호
이화의 귀하

135-911

특허청
의견제출통지서

출원인: 명칭 미쓰비시덴키 가부시키가이샤 (출원인코드: 519980960919)
주소 일본국 도쿄도 지요다구 마루노우치 2쵸메 2반 3고
대리인: 성명 이화의
주소 서울 강남구 역삼1동 648-23 대흥빌딩 402호
출원번호: 10-2000-0064799
발명의 명칭: 반도체 장치



이 출원에 대한 심사결과 아래와 같은 거절이유가 있어 특허법 제63조의 규정에 의하여 이를 통지하오니 의견이 있거나 보정이 필요할 경우에는 상기 제출기일까지 의견서 또는/및 보정서를 제출하여 주시기 바랍니다. (상기 제출기일에 대하여 매회 1월 단위로 연장을 신청할 수 있으며, 이 신청에 대하여 별도의 기간연장승인통지는 하지 않습니다.)

[이유]

이 출원의 특허청구범위 전항에 기재된 발명은 그 출원전에 이 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 아래에 지적한 것에 의하여 용이하게 발명할 수 있는 것이므로 특허법 제29조제2항의 규정에 의하여 특허를 받을 수 없습니다.

[아래]

본원 발명은 절연회로기판과 반도체 소자의 접착층에 사용되는 수자의 사이즈가 반도체 소자와 동일 사이즈로 구성되어 있어 구성부재의 열팽창 차이 등에 의한 응력 때문에 실장 신뢰성이 저하되는 종래기술의 문제점을 개선하기 위하여 접착층의 수지 사이즈를 반도체 소자의 주면보다 넓게 형성하여 반도체 소자를 기판에 접합하는 것을 주요 특징으로 하고 있으나, 이러한 것은 공개특허공보 공개번호 98-54344호에서 반도체 칩을 패키지 본체에 접착시 반도체 칩의 주면보다 넓은 접착층을 패키지 본체에 형성하고 그 위에 반도체 칩을 접착한 구성과 같이 이미 공지된 기술이므로 본원 발명은 명세서에 기재된 종래의 기술과 인용참조에 의해 용이하게 발명할 수 있는 것입니다.

[첨부]

첨부1 한국공개특허공보 1998-54344호(1998.09.25) 1부 끝.

2002.08.28

특허청 심사4국

반도체1 심사담당관실

심사관 신창우



<<안내>>

문의사항이 있으시면 ☎ 042-481-5733 로 문의하시기 바랍니다.

특허청 직원 모두는 깨끗한 특허행정의 구현을 위하여 최선을 다하고 있습니다. 만일 업무처리과정에서 직원의 부조리행위가 있으면 신고하여 주시기 바랍니다.

▶ 홈페이지(www.kipo.go.kr)내 부조리신고센터

[\[一覧へ戻る\]](#)[抄録一括ダウンロード\(オプション機能\)](#)[\[図ヘルプ\]](#)

1998-363888/200116

LG SEMICON CO LTD

KR- 239406-B1

Surface mountable semiconductor chip housing - of BGA or LGA type with double-layered external solder bumps

表面実装型半導体パッケージ及びその製造方法

会社コード: GLDS ,HYUN-,HYUN-

公報発行日: 2000.01.15

代表図面: 4/8

ページ:

出願人: LG SEMICON CO LTD, HYUNDAI MICROELECTRONICS CO LTD, HYUNDAI ELECTRONICS IND CO LTD

発明者: KIM J,KIM J S

IPC: H01L 021/44 ,H01L 021/50 ,H01L 023/02 ,H01L 023/12 ,H01L 023/28

ダウエントクラス: L03;U11

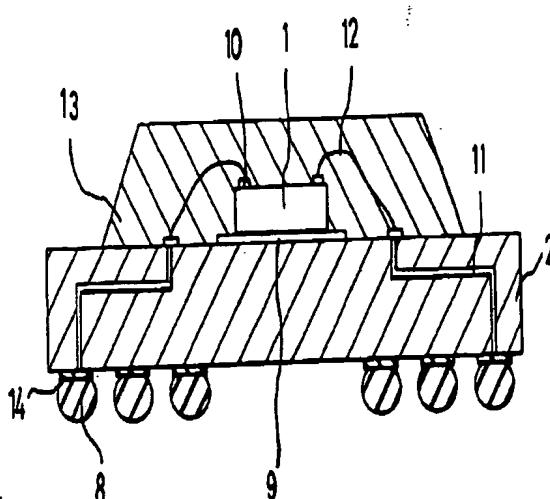
EPI: U11-D01A3A, U11-D01A5

優先権: 1996.12.27 1996 KR-0073492

使用法: Especially as a ball grid array (BGA) or land grid array (LGA) housing.

効果: The design improves the reliability of the solder connections and of the housing mounting.

抄録: A surface mountable semiconductor chip housing has double-layered solder bumps (3) as external connections on the underside of the housing body (2). Preferably, each solder bump has a solder layer (5) of 90/10 Sn/Pb alloy on a flat metal support layer (4), preferably a 45 mu thick copper thin film, with an intermediate adhesion promoting plated metal layer (6) preferably of Ni-Au or Sn-Pb alloy. Also claimed is a process for producing a surface mountable chip housing by (a) producing a support layer, in electrical connection with an external connection electrode at the underside of the connection substrate acting as a housing body; and (b) joining a solder layer to the support layer so that, after the chip moulding step in production of the housing, a double-layered solder bump is obtained.



copyright reserved by Thomson/Derwent

특 1998-054344

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)(51) Int. Cl.⁶
H01L 23/28(11) 공개번호 특 1998-054344
(43) 공개일자 1998년 09월 25일

(21) 출원번호	특 1996-073492
(22) 출원일자	1996년 12월 27일
(71) 출원인	엘지반도체 주식회사 문정환
(72) 발명자	충청북도 청주시 흥덕구 향정동 1번지 김진성
(74) 대리인	충청북도 청주시 상당구 사천동 보성아파트 3-202호 강용복, 김용인

설명구 : 있음(54) 표면 실장형 반도체 패키지 및 그 제조 방법요약

본 발명은 표면 실장형 반도체 패키지인 BGA 패키지(Ball Grid Array Package) 및 LGA 패키지(Land Grid Array Package)의 슬더 구조 및 형성 방법을 개선하여 슬더 조인트(Solder Joint)의 접합 신뢰성 및 반도체 패키지의 실장 신뢰성을 동시에 향상시킬 수 있도록 한 것이다.

이를 위해, 본 발명은 반도체 칩(1)이 내장되며 내부 배선이 형성된 패키지 본체(2)와, 상기 패키지 본체(2) 저면에 부착된 외부접속 단자인 더블 레이어 범프(3)(Double Layer Bump)를 구비한 표면 실장형 반도체 패키지이다.

도표도도3설명서도면의 주요한 설명

도 1은 종래의 BGA 반도체 패키지 일례를 나타낸 종단면도

도 2는 종래 BGA 반도체 패키지의 다른 구조예를 나타낸 종단면도

도 3은 도 2의 A부 확대 상세도

도 4는 본 발명의 반도체 패키지를 나타낸 종단면도

도 5는 도 4의 B부를 나타낸 확대도

도 6은 도 4의 B부의 다른 실시예를 나타낸 종단면도

도 7은 도 4의 B부의 또 다른 실시예를 나타낸 종단면도

도 8은 본 발명 반도체 패키지의 다른 구조예를 나타낸 종단면도

* 도면의 주요부분에 대한 부호의 설명 *

1:반도체 칩2:패키지 본체

3:더블 레이어 범프4:베이스 레이어

5:슬더 레이어6:도금면

7a:요부7b:철부

발명의 삼세관 설명발명의 목적발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 표면 실장형 반도체 패키지 및 그 제조 방법에 관한 것으로서, 더욱 상세하게는 표면 실장형 반도체 패키지인 BGA 패키지(Ball Grid Array Package) 및 LGA 패키지(Land Grid Array Package)의 슬더 구조 및 형성 방법을 개선에 관한 것이다.

도 1은 배선 기판으로 된 패키지 본체(2)의 미연에 구형의 슬더 볼(8)을 소정의 상태로 배열(Array)하여 리드(lead)대신으로 사용하는 증래의 일반적인 BGA 패키지를 나타낸 것으로서, 상기 BGA 패키지는 패키지 몸체(Package Body) 면적을 QFP(Quad Flat Package) 타입보다 작게 할 수 있으며, QFP와는 달리 리드의 변형이 없는 장점이 있다.

한편, 상기 BGA 패키지 제작을 위한 패키지 공정은 개략 다음과 같은 순서로 진행된다.

먼저, 웨이퍼 상면에 접적회로를 형성하는 FAB(Fabrication)공정이 끝난 상태에서 웨이퍼에 형성된 반도체 첨(1)을 개별적으로 분리하기 위한 소잉(sawing)을 실시한다.

그 다음, 내부에 배선(11)이 형성된 배선 기판이 공정에 투입됨에 따라 배선기판 상면에 접착제(9)를 도포하여 절단된 반도체 첨(1)을 묻팅시키게 되며, 첨 묻팅이 끝난 후에는 반도체 첨(1)에 형성된 묻팅 패드(10)와 배선 기판상의 소정의 배선(11) 사이를 금속세션(12)을 이용하여 서로 전기적으로 연결시키는 와이어 본딩을 실시하게 된다.

그리고, 와이어 본딩이 완료된 후에는 반도체 첨(1)을 EMC(13)(Epoxy Molding Compound)로 콜딩하는 콜딩 공정을 수행하게 되며, 콜딩이 완료된 다음에는 스크린 프린팅(Screen Printing)을 통해 배선 기판으로 제작된 패키지 본체(2) 저면에 일정 패턴의 슬더 페이스트를 전사하여 플럭스(Flux)를 코팅시키는 플럭스 코팅(Flux Coating) 공정을 수행하게 된다.

또한, 플럭스 코팅 공정이 끝난 다음에는 패키지 본체(2) 저면에 일정 패턴으로 코팅된 플럭스(14)에 슬더 볼(8)을 부착시킨 다음, 열처리 공정인 리플로우(Reflow)를 수행하여 슬더 볼(8)을 패키지 본체(2)에 견고히 고정시키게 된다.

그 후, 클리닝 및 마킹 공정을 거쳐 완제품인 BGA 패키지를 출하하게 된다.

이와 같은 BGA 패키지는 배선 기판으로 된 패키지 본체(2)와 실장 기판(도시는 생략함)과의 열팽창 계수가 일치하지 않을 경우 패키지 본체(2)에 악영향을 미치게 된다.

도 2 및 도 3은 패키지 본체(2)와 실장 기판과의 열팽창 계수가 일치하지 않을 경우 패키지 본체(2)에 미치는 악영향을 방지할 수 있도록 한 일본 특개평8-46084호에 기술된 BGA 패키지를 나타낸 것으로서 그 내용을 간략히 살펴보면 다음과 같다.

도 2 및 도 3에 나타낸 BGA 패키지는 크게 내부 배선이 형성된 패키지 본체(2)와, 해당 패키지 본체(2) 저면에 탄성체층(15)을 매개로 접합된 배선 패턴 필름(16)과, 외부 접속 단자 역할을 하는 슬더 볼(8)로 구성된다.

상기 배선 패턴 필름(16)은 다시 전기 절연성을 가진 베이스 필름(17)과 그 위에 형성되는 배선 패턴(18)으로 구성된다.

또한, 상기 베이스 필름(17) 위에 형성된 배선 패턴(18)의 일단부에는 외부접속 단자인 슬더 볼(8)이 접합되고, 상기 배선 패턴(18)의 타단부는 상기 패키지 본체(2)에 형성된 내부 배선(11)이 전기적으로 접속된다.

이와 같이 구성된 BGA 패키지는 실장된 후 동작시, 패키지 본체(2)와 실장 기판과의 열팽창률의 차이를 탄성체층(15)이 흡수하여 슬더 조인트를 보호하게 된다.

여기서, 상기한 일본 특개평8-46084호에 실린 BGA 패키지의 패키지 공정은 배선 패턴 필름(16) 및 탄성체층(15) 부착 공정을 제외하고는 전술한 증래의 패키지 공정 순서를 따르게 된다.

그러나, 이와 같은 증래의 BGA 패키지는 패키지 공정 중에 슬더 볼(8)을 부착하는 공정이 필수적으로 수반되므로 인해 제조 공정 상에 여러가지 어려움을 겪게 되어 생산성을 저하시키는 결과를 초래하게 되는 단점이 있었다.

즉, 슬더 볼(8) 부착 공정이 수행되어야 할에 따라 고가의 슬더 볼(8) 부착 장비가 필수적으로 갖추어져 있어하 하므로 설비비가 많이 소요되며 장비 투자 효율이 떨어짐은 물론, 패키지 본체(2)에 슬더링된 볼이 부착면으로부터 하나라도 떨어질 경우 재접합시키기가 곤란해 패키지 불량률을 초래하게 되는 문제점이 있었다.

한편, 증래와 같이 배선 기판에 이미 제조된 슬더 볼(8)을 부착하는 방법으로는 슬더 볼(8)의 스탠드 오프(Stand off)(도 2에 h로 표기)를 높이기가 어려워 슬더 조인트의 신뢰성 및 실장기판에의 패키지 실장 신뢰성을 더 이상 향상시키지 못하는 문제점이 있었다.

즉, 슬더 볼(8)의 스탠드 오프의 높이가 낮기 때문에 BGA 패키지를 실장 기판에 실장하여 패키지를 구동시, 패키지 본체(2)와 실장 기판과의 열팽창 계수가 일치하지 않을 경우, 슬더 볼(8)과 실장 기판과의 열팽창률 차이에 기인하여 접합부에 작용하는 전단응력에 의해 슬더 조인트가 쉽게 파손되므로써 패키지의 실장 수명을 단축시키는 결과를 초래하는 단점이 있었다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기한 제반 문제점을 해결하기 위한 것으로서, 표면 실장형 반도체 패키지인 BGA 패키지(Ball Grid Array Package) 및 LGA 패키지(Land Grid Array Package)의 슬더 구조 및 형성 방법을 개선하여 슬더 조인트(Solder Joint)의 접합 신뢰성 및 패키지의 실장 신뢰성을 동시에 향상시킬 수 있도록 한 표면 실장형 반도체 패키지 및 그 제조 방법을 제공하는데 그 목적이 있다.

상기한 목적을 달성하기 위해, 본 발명은 반도체 첨이 내장되며 내부 배선이 형성된 패키지 본체와, 상기 패키지 본체 저면에 부착된 외부접속 단자인 더블 레이어 범프(Double Layer Bump)를 구비한 표면 실장형 반도체 패키지이다.

한편, 상기한 목적을 달성하기 위한 본 발명의 다른 형태에 따르면, 패키지 본체를 이루는 배선 기판의 제작시 배선 기판 저면에 배선 기판의 내부 배선과 전기적으로 연결되는 베이스 레이어를 형성하는 단계와, 패키지 공정시의 단위 공정인 철 를당 공정이 끝난 후 상기 배선 기판상에 미리 형성된 베이스 레이어에 슬더 레이어를 접합시켜 외부접속 단자인 더블 레이어 범프를 형성하는 단계를 포함하는 표면 실장형 반도체 패키지 제조 방법이다.

발명의 구성 및 작용

이하, 본 발명의 일 실시예를 첨부도면 도 4 내지 도 7을 참조하여 상세히 설명하면 다음과 같다. 도 4는 본 발명의 반도체 패키지를 나타낸 종단면도이고, 도 5는 도 4의 B부를 나타낸 확대도이며, 도 6은 도 4의 B부의 다른 실시예를 나타낸 종단면도이고, 도 7은 도 4의 B부의 또 다른 실시예를 나타낸 종단면도이다.

본 발명의 반도체 패키지는 반도체 철(1)이 내장되며 내부 배선이 형성된 패키지 본체(2)와, 상기 패키지 본체(2) 저면에 부착된 외부접속 단자인 더블 레이어 범프(3)(Double Layer Bump)를 구비하여 구성된다.

이때, 상기 더블 레이어 범프(3)는 도 5에 나타낸 바와 같이, 평판 형태를 이루는 베이스 레이어(4)(Base Layer)와, 상기 베이스 레이어(4) 표면에 접합되는 슬더 레이어(5)(Solder Layer)의 2층 구조로 이루어진다.

또한, 상기 패키지 본체(2)의 베이스 레이어(4)를 이루는 메탈층은 포토·에칭(Photo·Etching) 공정에 의해 두께가 45 μ m 이상이 되도록 형성되거나, 일차 포토·에칭 공정후 전해 또는 무전해 등(Cu)도금에 의해 두께가 45 μ m 이상이 되도록 형성되는데, 이는 더블 레이어 범프(3)의 스탠드 오프의 높이를 쉽게 높이기 위함이다.

그리고, 상기 Cu 박막으로 된 베이스 레이어(4) 표면에는 그 위에 부착되는 슬더 레이어(5)와의 접착력을 향상시키기 위한 Ni·Au 합금 또는 Sn·Pb 합금으로 이루어진 도금면(6)이 형성된다.

이때, 상기 베이스 레이어(4)를 구성하는 도금면(6)의 높이는 Ni·Au 합금을 도금할 경우에는 그 높이가 5~40 μ m을 이루도록 형성되며, Sn·Pb 합금을 도금할 경우에는 그 높이는 10~100 μ m을 이루도록 형성된다.

그리고, 상기 베이스 레이어(4)에는 스크린 프린팅 작업에 의해 메탈 마스크에 입혀진 일정 패턴의 슬더 페이스트가 전사되어 두께가 100~500 μ m인 슬더 레이어(5)를 형성하게 된다.

따라서, 베이스 레이어(4) 및 슬더 레이어(5)로 이루어진 더블 레이어 범프(3)의 높이는 최소한 150 μ m 이상으로 형성된다.

한편, 상기 Sn·Pb 합금 도금면(6) 형성시 및 슬더 레이어(5) 형성시의 구성 금속인 Sn과 Pb의 기본 조성비는 90:10이며, 상기 Sn·Pb 합금 도금면(6) 및 슬더 레이어(5)에는 도금면(6) 및 슬더 레이어(5)의 표면 경도를 증가시키기 위하여 은(Ag)을 첨가할 수도 있다.

또한, 상기 베이스 레이어(4) 표면에는 도 6 및 도 7에 나타낸 바와 같이 슬더 레이어(5)와의 접촉면적이 증가되도록 요철부(7a), (7b)를 형성할 수도 있다.

이와 같이 구성된 본 발명의 작용은 다음과 같다.

본 발명 반도체 패키지의 더블 레이어 범프(3)는 패키지 공정과는 별도로 패키지 본체(2)를 이루는 배선 기판 제작시 이루어지는 베이스 레이어(4) 형성 과정 및, 패키지 공정의 단위 공정인 를당 공정후에 이루어지는 슬더 레이어(5) 형성 과정의 2단계 과정을 거쳐 패키지 본체(2) 저면에 형성된다.

먼저, 제 1 단계로서는 패키지 공정과는 별개인 배선 기판 제작시 그 두께의 총합이 50~150 μ m인 베이스 레이어(4) 및 도금면(6)을 형성하게 된다.

즉, 포토·에칭 공정을 이용하는 방법 혹은, 1차 포토·에칭 공정후 전해 또는 무전해 등(銅)도금을 하는 방법에 의해 무선적으로 최소한 45 μ m 이상의 두께를 갖는 베이스 메탈인 Cu 박막으로 된 베이스 레이어(4)를 형성한다.

이 상태에서, 차후 패키지 공정상의 스크린 프린팅 작업에 의해 형성되는 슬더 레이어(5)와의 계면 접착력을 향상을 위하여 Ni·Au 합금 또는 Sn·Pb 합금으로 된 도금면(6)을 다시 베이스 레이어(4) 표면에 입히게 된다.

이 경우, Ni·Au 합금으로 된 도금면은 더블 레이어 범프(3)의 전체적인 높이를 고려하여 5~40 μ m의 두께를 갖도록 형성되며, Sn·Pb 합금으로 된 도금면은 10~100 μ m의 두께를 갖도록 형성됨이 바람직하다.

이와 같이 하여, 패키지 본체(2)를 이루게 되는 배선 기판상에 베이스 레이어(4)가 형성된 후에는 철 분당 공정, 와이어 본딩 공정 및 를당 공정을 순차적으로 수행하게 된다.

그리고, 를당 공정이 완료되고 나면 더블 레이어 범프(3)를 형성하기 위한 제 2 단계 과정인 슬더 레이어(5) 형성 공정이 수행된다.

즉, 배선 기판 상에 반도체 철(1)을 본딩하는 다시 본딩과 반도체 철(1)의 본딩패드(10)와 배선 기판의 패키지 본체상의 배선(11) 사이를 금속세션(12)을 이용하여 전기적으로 연결시키는 와이어 본딩 및, 반도체 철(1)을 EMC(3)(Epoxy Molding Compound)로 를당하는 를당 공정을 순차적으로 실시한다.

한편, 를당이 끝난 후에는, 패키지 본체(2)를 뒤집은 패키지 본체(2) 저면에 슬더 페이스트가 일정 패턴으로 입혀진 메탈 마스크를 썩은 상태에서 스크린 프린팅을 하여 메탈 마스크측의 슬더 페이스트를 배

본 기판 상에 형성된 베이스 레이어(4)의 도금면(6) 위로 전사시키므로써 평판 형태의 슬더 레이어(5)를 형성하게 된다.

이 때, 슬더 레이어(5)는 더블 레이어 범프(3)의 전체 높이를 고려하여 베이스 메탈 표면 위에 입혀진 도금면(6) 위에 스크린 프린팅 작업을 통해 10~500 μm 의 두께로 형성된다.

한편, 상기 Sn · Pb 합금 도금면(6) 형성시 및 슬더 레이어(5) 형성시의 Sn : Pb 기본 조성비는 90 : 10이며, 상기 Sn · Pb 합금 도금면(6) 및 슬더 레이어(5) 형성시 도금면(6) 및 슬더 레이어(5)에는 표면 경도를 증가시키기 위한 은(Ag)이 선택적으로 첨가된다.

또한, 상기 베이스 레이어(4) 표면에 도 6 및 도 7에 나타낸 바와 같이 요철부(7a), (7b)를 형성하여 슬더 레이어(5)와의 접촉면적을 늘릴 경우, 베이스 레이어(4)와 슬더 레이어(5)와의 계면 접착력을 증가시킬 수 있게 된다.

상기한 바와 같이 스크린 프린팅이 끝난 후에는 슬더 레이어(5)에 대한 열처리 작업인 리플로우가 행해지므로써 슬더 레이어(5) 선단부가 표면장력에 의해 라운드 형태로 되며, 이에 따라 2층 구조인 더블 레이어 범프(3)의 형성이 완료된다.

그리고 더블 레이어 범프(3)의 형성이 완료된 후에는 클리닝 및 마킹 공정을 거쳐 완제품인 반도체 패키지를 출하하게 된다.

즉, 본 발명은 패키지 본체(2)를 이루는 배선 기판의 제작시 배선 기판 저면에 배선 기판 내부의 외부 접속용 전극과 전기적으로 연결되는 베이스 레이어(4)를 형성하는 단계와, 롤링 공정 완료후 상기 배선 기판상에 미리 형성된 베이스 레이어(4)에 슬더 레이어(5)를 접합시키는 단계를 순차적으로 수행하여 더 블 레이어 범프(3)를 형성하므로써 패키지 공정의 생산성을 향상시킬과 동시에 실장 기판에의 실장시 더 블 레이어 범프(3)와 실장 기판과의 접착 신뢰성을 향상시키기 위한 것이다.

한편, 도 8은 본 발명 반도체 패키지의 다른 구조예를 나타낸 종단면도로서, 배선 기판으로 된 패키지 본체(2) 상부면에 반도체 칩(1)이 부착된 상태에서 금속세선(12)을 이용하여 본딩패드(10)와 배선 기판내의 배선(11)을 연결하는 와이어 본딩 및 패키지 본체(2) 상부면에 악착된 반도체 칩(1)을 EMC(13)로 실링하는 볼딩 공정을 수행하는 캐비티 업 타입(Cavity Up Type)의 LGA 패키지에 적용한 예를 도시한 것이다.

미상에서와 같이, 본 발명의 더블 레이어 범프(3)는 LGA 패키지와 BGA 패키지 등 그리드 어레이 탑입의 모든 패키지에 손쉽게 적용시켜 각 패키지의 슬더 조인트 접합 신뢰성을 향상시키는 한편, 반도체 패키지의 실장 수명을 연장시킬 수 있음을 알 수 있다.

한국학 희망

본 발명은 증래의 패키지 공정시 수반되어야 하는 복잡한 슬더 불(8) 부착공정을 단순한 공정으로 대체하여 패키지 공정의 생산성을 향상시킬 수 있게 된다.

즉, 본 발명에서는 더블 레이어 범프(3)를 구성하는 베이스 레이어(4)가 배선 기판의 제작단계에서 미리 형성된 슬래브로 패키지 공정에 투입되므로 인해, 패키지 공정상에서는 단지 슬더 레이어(5)를 형성하기 위한 스크린 프린팅 작업 및 리플로우만 행해지면 되므로 패키지 공정의 생산성을 향상시킬 수 있게 된다.

또한, 증래 패키지 공정에서는 슬더 볼(8)을 배선 기판에 부착하기 위하여 고가의 슬더 볼 부착용 장비를 사용하는 반면, 본 발명에 따른 패키지 제조 공정에서는 저가의 스크린 프린팅 장비를 사용하면 되므로 장비 구입에 따른 비용을 절감하고 동시에 장비의 투자 효율을 높일 수 있게 된다.

한편, 더블 레이어 범프(3)를 형성시킨 본 발명의 패키지는 종래의 슬더 볼(8) 구조의 패키지에 비해 스탠드 오프의 높이가 2배 이상 높아 배선 기판에 실장 후, 슬더 조인트의 신뢰성 특성이 2배 이상(신뢰성을 구하는 실현식에 근거함) 향상을 뿐만 아니라, 베이스 레이어(4)에 요철부(7a), (7b)를 형성할 경우 실장 신뢰성 특성이 3배 이상 향상되는 효과를 가져오게 된다.

뿐만 아니라, 본 발명의 패키지는 배선 기판의 제작시, 랜드(Land) 형태의 외부접속 단자를 사용하는 증거의 LGA 패키지의 경우에 비해서도 배선 기판 제조 비용을 절감할 수 있고, 생산성을 향상시킬 수 있으며, 설장 기판에의 실장시 반도체 패키지의 실장 수명을 연장시킬 수 있게 된다.

이와 같이, 본 발명은 표면 실장형 반도체 패키지인 BGA 패키지(Ball Grid Array Package) 및 LGA 패키지(Land Grid Array Package)의 슬더 구조 및 그 협성 방법을 개선하여 반도체 패키지의 슬더 조인트(Solder Joint) 신뢰성 특성 및 반도체 패키지의 실장 신뢰성 특성을 향상 시킴과 동시에 반도체 패키지의 새사성을 허용시킬 수 있게 된다.

(57) 청구의 범위

첨구한 1. 반도체 첨이 배장되며 내부 배선이 형성된 패키지 본체와.

상기 패키지 본체 저면에 부착된 더블 레이어 범프(Double Layer Bump)를 구비한 것을 특징으로 하는 표면 실장형 반도체 패키지.

천국학 2 제 1 학기 일정서

상기 더블 레이어 범프가 짜 모양을 이루는 메탈층의 빠이스 레이어와,

상기 베이스 레이어 표면에 접합되어 형성된 슬더 레이어로 구성됨을 특징으로 하는 표면 실장형 반도체 패키지

청구항 3. 제 2 항에 있어서,

상기 베이스 레이어를 형성하는 메탈층이 Cu 박막임을 특징으로 하는 표면 실장형 반도체 패키지.

청구항 4. 제 2 항 또는 제 3 항에 있어서,

상기 패키지 본체의 베이스 레이어를 이루는 메탈층의 두께가 45 μ m 이상으로 형성되는 것을 특징으로 하는 표면 실장형 반도체 패키지.

청구항 5. 제 2 항에 있어서,

상기 베이스 레이어 표면에는 슬더 레이어와의 접촉면적이 늘어나도록 하기 위한 요부(凹部)가 형성됨을 특징으로 하는 표면 실장형 반도체 패키지.

청구항 6. 제 2 항에 있어서,

상기 베이스 레이어 표면에는 슬더 레이어와의 접촉면적이 늘어나도록 하기 위한 첨부(凸部)가 형성됨을 특징으로 하는 표면 실장형 반도체 패키지.

청구항 7. 제 2 항에 있어서,

상기 베이스 레이어 표면에 상기 베이스 레이어와 슬더 레이어와의 접착력을 향상시키기 위한 도금면이 형성되는 것을 특징으로 하는 표면 실장형 반도체 패키지.

청구항 8. 제 7 항에 있어서,

상기 도금면이 Ni · Au 합금으로 된 것을 특징으로 하는 표면 실장형 반도체 패키지.

청구항 9. 제 7 항에 있어서,

상기 도금면이 Sn · Pb 합금 도금면으로 된 것을 특징으로 하는 표면 실장형 반도체 패키지.

청구항 10. 제 8 항에 있어서,

상기 베이스 레이어 표면에 도포되는 Ni · Au 합금 도금면이 그 두께가 5~40 μ m를 이루도록 형성되는 것을 특징으로 하는 표면 실장형 반도체 패키지.

청구항 11. 제 9 항에 있어서,

상기 베이스 레이어 표면에 도포되는 Sn · Pb 합금 도금면이 그 두께가 10~100 μ m를 이루도록 형성되는 것을 특징으로 하는 표면 실장형 반도체 패키지.

청구항 12. 제 2 항에 있어서,

상기 슬더 레이어가 Sn과 Pb 합금으로 이루어짐을 특징으로 하는 표면 실장형 반도체 패키지.

청구항 13. 제 12 항에 있어서,

상기 슬더 레이어를 이루는 Sn과 Pb의 기본 조성비가 90 : 10 임을 특징으로 하는 표면 실장형 반도체 패키지.

청구항 14. 제 9 항에 있어서,

상기 Sn · Pb 합금 도금면 형성시 그 구성 금속인 Sn과 Pb의 기본 조성비가 90 : 10이 됨을 특징으로 하는 표면 실장형 반도체 패키지.

청구항 15. 제 11항 또는 제 12 항에 있어서,

상기 Sn · Pb 합금 도금면 및 슬더 레이어 형성시, Sn · Pb 합금에 표면 경도를 증가시키기 위한 Ag가 첨가됨을 특징으로 하는 표면 실장형 반도체 패키지.

청구항 16. 패키지 본체를 이루는 배선 기판의 제작시 배선 기판 저면에 배선 기판 내부의 외부 접속 용 전극과 전기적으로 연결되는 베이스 레이어를 형성하는 단계와,

패키지 공정시의 단위 공정인 철 쿨링 공정이 끝난 후 상기 배선 기판상에 미리 형성된 베이스 레이어에 슬더 레이어를 접합시켜 더블 레이어 범프를 형성하는 단계를 포함하는 것을 특징으로 하는 표면 실장형 반도체 패키지 제조 방법.

청구항 17. 제 16 항에 있어서,

상기 베이스 레이어를 형성시킨 후, 베이스 레이어 표면에 상기 슬더 레이어와의 계면 접착력을 강화시키기 위해 도금면을 형성하는 단계가 더 포함됨을 특징으로 하는 표면 실장형 반도체 패키지 제조 방법.

청구항 18. 제 17 항에 있어서,

상기 도금면이 Ni · Au 합금으로 이루어짐을 특징으로 하는 표면 실장형 반도체 패키지 제조 방법.

청구항 19. 제 17 항에 있어서,

상기 도금면이 Sn · Pb 합금으로 이루어짐을 특징으로 하는 표면 실장형 반도체 패키지 제조 방법.

청구항 20. 제 16 항에 있어서,

상기 베이스 레이어의 베이스 메탈층이 포토 · 에칭 공정에 의해 형성됨을 특징으로 하는 표면 실장형 반

도체 패키지 제조 방법.

청구항 21. 제 16 항에 있어서,

상기 베이스 레이어를 이루는 메탈층이 1차 포토·에칭 공정 후 전해 또는 무전해 등도금에 의해 형성됨을 특징으로 하는 표면 실장형 반도체 패키지 제조 방법.

청구항 22. 제 16 항에 있어서,

상기 베이스 레이어 표면에 접합되는 적층 구조의 슬더 레이어는 스크린 프린팅 작업에 의해 메탈 마스크 상의 슬더 페이스트가 베이스 레이어 위로 전사되어 형성됨을 특징으로 하는 표면 실장형 반도체 패키지 제조 방법.

청구항 23. 제 16 항에 있어서,

상기 슬더 레이어를 열처리하여 슬더 레이어의 선단이 라운드되도록 리플로우(Ref low)시키는 단계가 추가적으로 포함되는 것을 특징으로 하는 표면 실장형 반도체 패키지 제조 방법.

청구항 24. 제 22 항에 있어서,

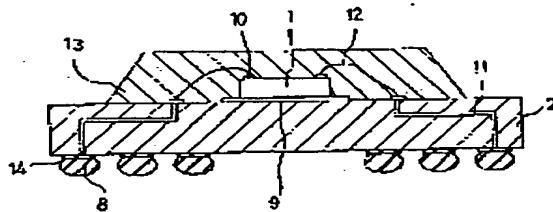
상기 베이스 레이어 표면에 스크린 프린팅 작업에 의해 적층 구조로 접합되는 슬더 레이어의 두께가 100~500 μ m임을 특징으로 하는 표면 실장형 반도체 패키지 제조 방법.

청구항 25. 제 16 항에 있어서,

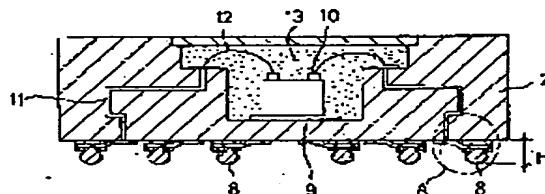
상기 베이스 레이어 및 슬더 레이어가 접합되어 형성된 더블 레이어 범프의 높이가 최소한 150 μ m 이상이 됨을 특징으로 하는 표면 실장형 반도체 패키지 제조 방법.

도면

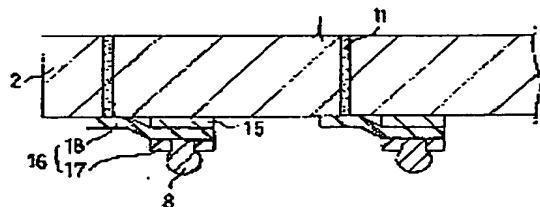
도면1



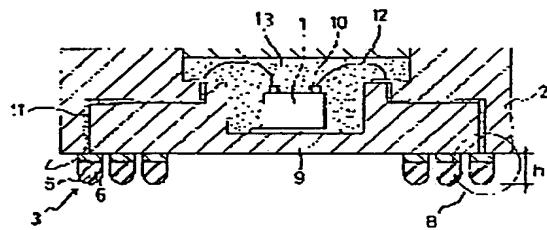
도면2



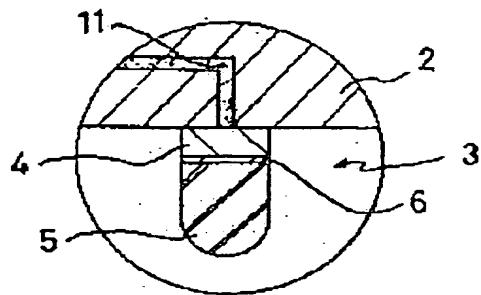
도면3



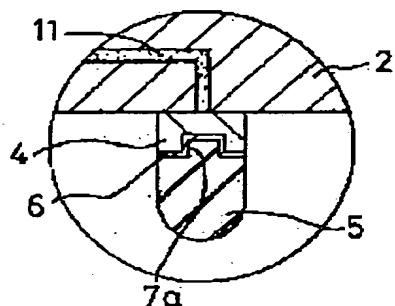
도면4



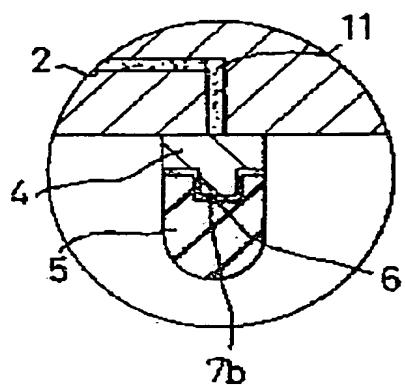
도면5



도면6



도면7



도면8

